



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: Bruno GHYSELEN et al.

Confirmation No.: 7326

Application No.: 10/614,327

Group Art Unit: 2822

Filing Date: July 8, 2003

Examiner: Mary A. Wilczewski

For: TRANSFER OF A THIN LAYER FROM A
WAFER COMPRISING A BUFFER LAYER

Attorney Docket No.: 4717-7600

SUBMISSION OF PRIORITY DOCUMENT

Mail Stop Missing Parts

Commissioner for Patents

P.O. Box 1450

Alexandria, VA 22313-1450

Sir:

Applicant has claimed priority under 35 U.S.C. § 119 of French Application No. 0208600 filed July 9, 2002. In support of this claim, a certified copy of said application is submitted herewith.

No fee or certification is believed to be due for this submission. Should any fees be required, however, please charge such fees to Winston & Strawn LLP Deposit Account No. 50-1814.

Respectfully submitted,

March 2, 2005

Date

E. Bradley Gould
For: Allan A. Fanucci

(Reg. No. 41,792)
(Reg. No. 30,256)

WINSTON & STRAWN LLP
Customer No. 28765

202-371-5771

THIS PAGE BLANK (ISPTO)



BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

14 JAN. 2005
Fait à Paris, le

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

A handwritten signature in black ink, appearing to read 'Martine PLANCHE', is written over a stylized, oval-shaped line.

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIETE
INDUSTRIELLE

SIEGE
26 bis, rue de Saint-Petersbourg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

THIS PAGE BLANK



INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*02

REQUÊTE EN DÉLIVRANCE

page 1/2

DB 540 W / 010801

Cet imprimé est à remplir lisiblement à l'encre noire



Réervé à l'INPI	
REMISE DES PIÈCES	
DATE	9 JUIL 2002
LIEU	75 INPI PARIS
N° D'ENREGISTREMENT	0208600
NATIONAL ATTRIBUÉ PAR L'INPI	
DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI	09 JUIL 2002
Vos références pour ce dossier (facultatif) 239693 D20092 OC	

1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE
À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE

Cabinet REGIMBEAU
20, rue de Chazelles
75847 PARIS CEDEX 17
FRANCE

Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie
2 NATURE DE LA DEMANDE		
Demande de brevet	<input checked="" type="checkbox"/>	
Demande de certificat d'utilité	<input type="checkbox"/>	
Demande divisionnaire	<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale	N°	Date
	N°	Date
Transformation d'une demande de brevet européen Demande de brevet initiale	<input type="checkbox"/>	Date
	N°	Date

3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)

TRANSFERT D'UNE COUCHE MINCE A PARTIR D'UNE PLAQUETTE COMPRENANT UNE COUCHE
TAMPON.

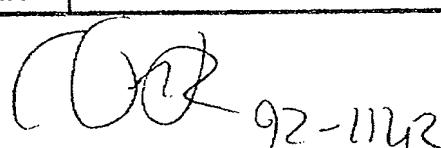
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation Date <input type="text"/> N°
		Pays ou organisation Date <input type="text"/> N°
		Pays ou organisation Date <input type="text"/> N°
		<input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»
5 DEMANDEUR (Cochez l'une des 2 cases)		
<input checked="" type="checkbox"/> Personne morale		<input type="checkbox"/> Personne physique
Nom ou dénomination sociale S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES		
Prénoms		
Forme juridique SOCIETE ANONYME		
N° SIREN 384711999		
Code APE-NAF		
Domicile ou siège	Rue Parc Technologique des Fontaines - Chemin des Franques, 38190 BERNIN	
	Code postal et ville <input type="text"/>	
	Pays FRANCE	
Nationalité Française		
N° de téléphone (facultatif)	<input type="text"/>	
Adresse électronique (facultatif)	<input type="text"/>	
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»		

Remplir impérativement la 2^{me} page

**BREVET D'INVENTION
CERTIFICAT D'UTILITÉ**

**REQUÊTE EN DÉLIVRANCE
page 2/2**

BR2

REMISE DES PIÈCES DATE LIEU N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI		Réervé à l'INPI 9 JUIL 2002 75 INPI PARIS 0208600	<small>DB 540 W / 010801</small>
Vos références pour ce dossier : <small>(facultatif)</small> 239693 OC			
6 MANDATAIRE			
Nom Prénom Cabinet ou Société		Cabinet REGIMBEAU	
N ° de pouvoir permanent et/ou de lien contractuel			
Adresse	Rue	20, rue de Chazelles	
	Code postal et ville	<small>1</small> <small>5847 PARIS CEDEX 17</small>	
	Pays	01 44 29 35 00 01 44 29 35 99 info@regimbeau.fr	
N ° de téléphone (facultatif) N ° de télécopie (facultatif) Adresse électronique (facultatif)			
7 INVENTEUR(S)		<small>Les inventeurs sont nécessairement des personnes physiques</small>	
Les demandeurs et les inventeurs sont les mêmes personnes		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)	
8 RAPPORT DE RECHERCHE		<small>Uniquement pour une demande de brevet ou d'immatriculation d'invention et de transformation</small>	
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>	
Paiement échelonné de la redevance <small>(en deux versements)</small>		<small>Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt</small>	
		<input type="checkbox"/> Oui <input type="checkbox"/> Non	
9 RÉDUCTION DU TAUX DES REDEVANCES		<small>Uniquement pour les personnes physiques</small>	
		<input type="checkbox"/> Requise pour la première fois pour cette invention (joindre un avis de non-imposition) <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention (joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence) : AG <small>1</small> <small>1</small> <small>1</small> <small>1</small>	
Si vous avez utilisé l'imprimé « Suite », indiquez le nombre de pages jointes			
10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE <small>(Nom et qualité du signataire)</small>		 C. CONTE	
		VISA DE LA PRÉFECTURE OU DE L'INPI	

La présente invention concerne le transfert de couches minces d'une plaquette vers un substrat récepteur, pour former des structures telle qu'une structure semiconducteur sur isolant, encore appelée structure SeOI (acronyme anglo-saxon de « Semiconductor On Insulator »).

5 Un premier objet de l'invention vise plus particulièrement à réaliser des structures électroniques dont la couche active, c'est à dire la couche qui comprend ou qui comprendra les composants électroniques, est particulièrement mince et particulièrement homogène en épaisseur.

10 Un deuxième objet de l'invention vise à réaliser ces structures par l'intermédiaire d'un transfert de la couche active sur un substrat récepteur à partir d'une plaquette comprenant une couche tampon.

Un troisième objet de l'invention est de donner la possibilité d'une réutilisation d'une partie de la plaquette, et notamment au moins une partie de la couche tampon, pour un autre transfert.

15 On entend par « couche tampon » une couche intermédiaire entre deux structures cristallographiques à paramètres de mailles différents, présentant aux alentours d'une de ses faces un paramètre de maille sensiblement identique à celui de la première structure et aux alentours de son autre face un paramètre de maille sensiblement identique à celui de la deuxième structure.

20 Ainsi une plaquette peut par exemple comprendre une tranche de silicium (encore appelé Si) monocristallin sur laquelle est réalisée une couche de silicium – germanium (encore appelé SiGe) relaxé par l'intermédiaire d'une couche tampon, malgré la différence de paramètre de maille existant entre ces deux matériaux.

25 On appelle ici « couche relaxée » toute couche d'un matériau semiconducteur qui a une structure cristallographique non contrainte, c'est à dire qui présente un paramètre de maille sensiblement identique au paramètre de maille nominal du matériau de la couche.

30 A l'inverse, on appelle « couche contrainte » toute couche d'un matériau semiconducteur dont la structure cristallographique est contrainte en traction ou

en compression lors d'une croissance cristalline, telle qu'une épitaxie, obligeant au moins un paramètre de maille à être sensiblement différent du paramètre de maille nominal de ce matériau.

Ainsi, une couche tampon permet de faire croître sur un substrat de Si 5 une couche de SiGe sans que cette dernière soit contrainte par le substrat.

Etant donné que le SiGe massif est habituellement non disponible sur le marché, l'utilisation d'une couche tampon dans une plaquette pour avoir en surface une couche de SiGe relaxé permet ainsi de réaliser une structure qui peut ainsi remplir les mêmes fonctions qu'un substrat massif en SiGe.

10 La couche tampon intercalée entre la tranche de Si et la couche de SiGe relaxé est généralement en SiGe, avec une proportion en quantité de germanium croissant progressivement en épaisseur de la tranche vers la couche relaxée.

Elle permet ainsi de :

15 – monter graduellement la teneur en germanium de la tranche vers la couche relaxée,

– confiner des défauts liés à la différence de paramètre de maille de sorte qu'ils soient enterrés,

– donner à une couche de SiGe relaxé suffisamment épaisse une 20 stabilité vis à vis d'un film de matériau différent et épitaxié sur sa surface pour contraindre ce dernier à modifier son paramètre de maille sans influencer celui de la couche de SiGe relaxé.

Pour toutes ces raisons, la couche tampon doit être suffisamment épaisse, d'une valeur typique supérieure à un micron.

25 Des procédés de transfert de la couche en matériau relaxé épitaxiée sur une telle couche tampon de la plaquette sur un substrat récepteur sont connus.

De tels procédés sont par exemple proposés dans un document IBM de L.J. Huang et coll. (« SiGe-On-Insulator prepared by wafer bonding and layer transfer for high-performance field-effect transistors», Applied Physics Letters,

26/02/2001, vol.78, n°9) et dans le document WO0233746, dans lesquels on réalise une structure SGOI (acronyme anglo-saxon de « silicon – germanium On Insulator ») à partir d'une plaquette comprenant successivement un substrat support de Si monocristallin, une couche tampon de SiGe et une couche de 5 SiGe relaxé.

Un procédé employé dans le document de L.J. Huang et coll. consiste à mettre en œuvre un procédé dit Smart-cut® de la Demanderesse connu de l'homme du métier, et dont on pourra trouver des descriptions dans un certain nombre d'ouvrages traitant de techniques de réduction de plaquettes, pour 10 prélever la couche de SiGe relaxé afin de la transférer au moyen d'un collage sur un substrat récepteur oxydé, réalisant ainsi une structure SGOI.

Malgré les avantages que présente ce dernier procédé, quelques rugosités peuvent se former en surface de la couche transférée et une étape de finition de surface est alors nécessaire à mettre en œuvre.

15 Cette étape de finition est généralement réalisée au moyen d'un polissage mécano-chimique CMP (abréviation de « Chemical Mechanical Planarization »), qui peut créer des défauts de surface (telles des zones écrouies), corriger imparfaitement en épaisseur, et conserver ainsi des épaisseurs de couche inhomogènes, provoquer un ralentissement du transfert 20 de la couche de SiGe, ainsi qu'une augmentation de son coût.

Le procédé présenté dans le document WO0233746 comprend, en plus d'une étape de polissage CMP, des étapes préliminaires de rodage, de polissage et de gravure pour enlever une partie de la plaquette, ce qui ralentit et alourdit d'avantage encore le procédé général d'enlèvement de la plaquette, 25 tout en ne garantissant pas une bonne homogénéité d'épaisseur de couche.

Le premier objet de l'invention exposé plus haut n'est donc pas suffisamment atteint ici.

Pour tenter de pallier ceci, le document US 5882987 et le document de K.D. Hobart et coll. du Naval Research Laboratory de Washington (« On scaling 30 the thin film Si thickness of SOI substrates ») divulguent un procédé général de

réalisation de structures SOI (acronyme anglo-saxon de « Silicon On Insulator ») à partir d'une plaquette comprenant successivement un substrat support de Si monocristallin, une couche de SiGe, une couche de Si épitaxiée collée à un substrat récepteur oxydé.

5 La technique Smart-cut® est mise en œuvre et provoque, après collage de la plaquette avec un substrat récepteur, un détachement d'une partie de la plaquette au niveau du substrat support de Si.

On obtient ainsi un prélèvement d'une structure constituée successivement d'une partie du substrat support de Si, de la couche de SiGe et 10 de la couche de Si épitaxiée, l'ensemble étant collé au substrat récepteur oxydé.

15 Deux gravures sélectives successives sont alors mises en œuvre sur la structure pour retirer d'abord la partie du substrat support de Si restante avec une solution de gravure telle que la couche de SiGe forme une couche d'arrêt, et ensuite pour retirer la couche de SiGe avec une solution de gravure telle que la couche de Si forme une couche d'arrêt.

La structure obtenue au final est une structure SOI avec une couche de Si superficielle.

On obtient ainsi une structure SeOI avec une couche de 20 semiconducteur à la fois mince et uniforme en épaisseur, sensiblement identique à la couche initiale épitaxiée, tout en évitant de mettre en œuvre une étape de finition autre qu'une gravure sélective.

Toutefois, la couche de SiGe intercalée entre la tranche de Si et la couche de Si épitaxiée a une épaisseur typique comprise entre 0,01 et 0,2 25 micron, épaisseur insuffisante, comme on l'a vu plus haut, pour prétendre jouer le rôle d'une couche tampon entre la tranche de Si et une potentielle couche de SiGe relaxé.

La plaquette ne comprend donc pas de couche tampon.

Le deuxième objet de l'invention exposé plus haut n'est donc pas 30 atteint ici.

De plus, étant donné l'ordre de grandeur de l'épaisseur de la couche de SiGe intercalée, l'état structurel (constraint, relaxé ou intermédiaire) de celle-ci ne semble pas déterminé de façon certaine.

Or, un autre objectif principal de la présente invention concerne aussi 5 la réalisation d'une structure finale comprenant une ou plusieurs couches dans des états structurels sensiblement maîtrisés, telle qu'une couche de SiGe sensiblement relaxé, ce qui ne semble pas être garanti dans la réalisation d'une structure décrite dans le document d'Hobart et coll.

Le document WO 01/99169 propose, quant à lui, des procédés 10 permettant de réaliser, à partir d'une plaquette constituée successivement d'un substrat en Si, d'une couche tampon en SiGe, d'une couche de SiGe relaxé, et éventuellement d'une couche de Si ou de SiGe constraint, une structure finale avec la couche de SiGe relaxé sur l'éventuelle autre couche de Si ou de SiGe constraint.

15 La technique employée pour réaliser une telle structure met en œuvre, après collage de la plaquette avec un substrat récepteur, un enlèvement de la matière de la plaquette que l'on ne souhaite pas conserver par gravure sélective du substrat en Si et de la couche tampon en SiGe.

S'il s'avère que cette technique permet d'atteindre des épaisseurs de 20 couche particulièrement minces et homogènes en épaisseur, elle entraîne en revanche une destruction du substrat en Si et de la couche tampon en SiGe par gravure chimique.

Ces procédés ne donnent donc pas la possibilité de réutiliser une partie 25 de la plaquette, et notamment au moins une partie de la couche tampon, pour un nouveau transfert de couches.

Le troisième objet de l'invention exposé en début de document n'est donc pas atteint ici.

Pour atteindre notamment ces objectifs, la présente invention propose selon un premier aspect un procédé de réalisation d'une structure électronique 30 comprenant une couche mince de matériau semiconducteur à partir d'une

plaquette comprenant une couche d'adaptation de paramètre de maille comprenant une couche supérieure en matériau semiconducteur ayant un premier paramètre de maille, caractérisé en ce qu'il comprend les étapes suivantes :

- 5 (a) croissance sur la couche supérieure de la couche d'adaptation d'un film en matériau semiconducteur ayant un second paramètre de maille nominal sensiblement différent du premier paramètre de maille, avec une épaisseur suffisamment faible pour garder le premier paramètre de maille de la couche supérieure de la couche d'adaptation sous-jacente et être ainsi contraint,
- 10 (b) croissance sur le film d'une couche relaxée en matériau semiconducteur ayant un paramètre de maille nominal sensiblement identique au premier paramètre de maille,
- 15 (c) enlèvement d'au moins une partie de la plaquette (10) du côté de la couche d'adaptation (2) par rapport à la couche relaxée (4) comprenant les opérations suivantes :
 - formation d'une zone de fragilisation du côté de la couche d'adaptation par rapport à la couche relaxée,
 - apport d'énergie au niveau de la zone de fragilisation pour détacher 20 de la plaquette une structure comprenant la couche relaxée.

D'autres aspects préférés du procédé selon l'invention sont les suivants :

- Après l'étape (b), est mise en œuvre une étape supplémentaire de collage d'un substrat récepteur avec la plaquette du côté de la couche relaxée.
- Dans ce cas, le substrat récepteur (5) est en silicium.
- 25 – Dans l'un de ces deux derniers cas, il est mis en œuvre en outre, avant collage, une étape de formation d'au moins une couche de collage entre le substrat récepteur et la plaquette, la couche de collage étant formée sur le substrat récepteur et/ou sur la face de collage de la plaquette.

- Dans ce dernier cas, la couche de collage est un matériau isolant électrique telle que la silice.
- L'étape (c) concerne un enlèvement de sensiblement tout le matériau de la plaquette du côté de la couche d'adaptation par rapport à la couche relaxée.

5 – La zone de fragilisation est formée par implantation d'espèces dans la couche d'adaptation, à une profondeur sensiblement égale à la profondeur d'implant.

- La zone de fragilisation est formée, avant l'étape (b), par porosification d'une couche au-dessous de la couche relaxée.

10 – L'étape (c) comprend, après l'opération d'apport d'énergie de l'étape (c), au moins une gravure sélective.

- Dans ce dernier cas, une gravure sélective concerne la gravure du film vis à vis de la couche relaxée.
- Dans un des deux derniers cas, une gravure sélective concerne la gravure

15 de la partie restante de la couche d'adaptation (après détachement de la plaquette par apport d'énergie) vis à vis du film.

 - Le procédé comprend en outre, après l'étape (c), une étape de croissance d'une couche sur la couche relaxée.
 - Dans ce cas, la couche de croissance sur la couche relaxée est en matériau

20 constraint.

 - La couche d'adaptation est en silicium – germanium (la couche d'adaptation comprenant une couche tampon avec une concentration de germanium croissant en épaisseur et une couche relaxée sous le film), le film de matériau constraint est en silicium, la couche relaxée est en silicium – germanium

- Dans les deux derniers cas, la couche de croissance réalisée sur la couche relaxée est en silicium constraint de conserver sensiblement le paramètre de maille de la couche relaxée en silicium – germanium sous-jacente.
- La plaquette (10) comprend au moins une couche comprenant en outre du carbone avec une concentration de carbone dans la couche sensiblement inférieure ou égale à 50 %.
- La plaquette (10) comprend au moins une couche comprenant en outre du carbone avec une concentration de carbone dans la couche sensiblement inférieure ou égale à 5 %.

10 Selon un deuxième aspect, l'invention propose des structures semiconductrices :

- Structure semiconducteur sur substrat réalisée conformément au procédé ci-dessus, l'épaisseur de semiconducteur de la structure étant constituée de la couche relaxée, le substrat étant le substrat récepteur.
- La même structure avec en outre une couche de matériau électriquement isolant sous l'épaisseur du semiconducteur de la structure, de sorte que la structure est une structure semiconducteur sur isolant.
- Structure intermédiaire obtenue au cours de la mise en œuvre d'un procédé selon l'invention, comprenant successivement un substrat, une couche 20 d'adaptation de paramètre de maille comprenant une couche supérieure ayant un premier paramètre de maille, un film en matériau constraint ayant un paramètre de maille nominal sensiblement différent du premier paramètre de maille, une couche en matériau sensiblement relaxé ayant un paramètre de maille nominal sensiblement identique au premier paramètre de maille.
- Structure intermédiaire obtenue au cours de la mise en œuvre d'un procédé selon l'invention, comprenant successivement un substrat, une couche en matériau relaxé ayant un paramètre de maille nominal sensiblement identique au premier paramètre de maille, et un film de matériau constraint ayant un

paramètre de maille nominal sensiblement différent du premier paramètre de maille.

D'autres aspects, buts et avantages de la présente invention apparaîtront mieux à la lecture de la description détaillée suivante de mise en 5 œuvre de procédés préférés de celle-ci, donnés à titre d'exemple non limitatif et faits en référence aux dessins annexés sur lesquels :

La figure 1 représente les différentes étapes d'un procédé de réalisation d'une structure électronique comprenant une couche mince en SiGe conforme à l'invention.

10 On va décrire ci-dessous un exemple de procédé selon l'invention dans lequel on part, en référence à la figure 1a, d'une plaquette 10 constituée en premier lieu par un substrat support 1 en silicium monocristallin et une couche d'adaptation de paramètre de maille 2 en SiGe.

15 Par l'expression « couche d'adaptation de paramètre de maille », on désigne toute structure se comportant comme une couche tampon et présentant en surface une couche de matériau sensiblement relaxé et sans un nombre notable de défauts structurels, telles que des dislocations.

Ainsi, dans notre exemple, on choisira avantageusement une couche 20 d'adaptation 2 en SiGe constituée successivement par une couche tampon de SiGe et une couche de SiGe relaxé en surface.

La couche tampon a de préférence une concentration en germanium croissant régulièrement à partir de l'interface avec le substrat support 1, pour les raisons expliquées plus haut. Son épaisseur est typiquement comprise entre 1 et 3 micromètres pour obtenir une bonne relâche structurelle en surface.

25 La couche de SiGe relaxé a été avantageusement formée par épitaxie à la surface de la couche tampon, et son épaisseur peut varier grandement selon les cas, avec une épaisseur typique comprise entre 0,5 et 1 micron.

La concentration de germanium dans le silicium au sein de la couche de SiGe relaxé n'est pas limitée en valeur, mais est de préférence supérieure à 30 15% pour obtenir lors de la prochaine étape (représentée par la figure 1b) un

film 3 de Si épitaxié contraint, et est typiquement comprise entre 15 % et 30 %, mais peut aussi être plus importante que 30 %.

Cette limitation à 30 % représente une limitation typique des techniques actuelles, mais peut être amenée à évoluer dans les prochaines années.

5 En référence à la figure 1b, on fait croître sur la couche d'adaptation 2 en SiGe un film 3 en Si.

Dans un premier cas, la croissance du film 3 est réalisée *in situ*, directement en continuation de la formation de la couche d'adaptation 2 sous-jacente, cette dernière étant aussi dans ce cas avantageusement formée par 10 croissance de couche.

Dans un deuxième cas, la croissance du film 3 est réalisée après une légère étape de finition de surface de la couche d'adaptation 2 sous-jacente, par exemple par polissage CMP.

15 Le film 3 en Si est avantageusement formé par épitaxie en utilisant les techniques connues telles que les techniques CVD et MBE (abréviations respectives de « Chemical Vapor Deposition » et « Molecular Beam Epitaxy »).

Le silicium compris dans le film 3 est alors obligé par la couche d'adaptation 2 à augmenter son paramètre de maille nominal pour le rendre sensiblement identique à celui de son substrat de croissance et présenter ainsi 20 des contraintes internes en traction.

Il est nécessaire de former un film 3 de Si assez mince : une épaisseur de film trop importante provoquerait en effet une relaxation de la contrainte dans l'épaisseur du film vers le paramètre de maille nominal du silicium et/ou une génération de défauts dans le film 3.

25 L'épaisseur du film 3 est ainsi typiquement inférieure à 200 angströms pour y éviter toute relaxation de la contrainte.

En référence à la figure 1c, on fait croître une couche de SiGe relaxé 4 sur le film de Si contraint 3, par épitaxie de manière avantageuse (par exemple par CVD ou MBE).

Cette couche de SiGe relaxé est soit réalisée *in situ*, immédiatement après la croissance du film 3 sous-jacent, soit après une légère étape de finition de la surface du film 3 sous-jacent, tel qu'un polissage CMP.

La concentration de Ge dans cette couche 4 est sensiblement la même 5 que celle présente au voisinage de la face de collage de la couche d'adaptation 2, afin de garder le paramètre de maille nominal de la couche de SiGe relaxé présent à ce niveau dans la couche d'adaptation 2 et conservé dans le film de Si contraint 3.

L'épaisseur de cette couche de SiGe relaxé 4 peut être de quelques 10 dizaines à plusieurs centaines de nanomètres, préférentiellement entre 10 et 100 nanomètres.

En référence à la figure 1d, un substrat récepteur 5 est avantageusement collé avec la couche de SiGe relaxé 4.

Ce substrat récepteur 5 peut être par exemple en silicium ou peut être 15 constitué en d'autres types de matériaux.

On colle le substrat récepteur 5 en le mettant en contact intime avec la couche relaxée 4, en effectuant avantageusement une adhésion moléculaire entre le substrat 5 et la couche 4.

Cette technique de collage, ainsi que des variantes, est notamment 20 décrite dans le document intitulé « Semiconductor Wafer Bonding » (Science and technology, Interscience Technology) par Q. Y. Tong, U. Gösele et Wiley.

Le collage est accompagné, si nécessaire, d'un traitement approprié des surfaces respectives à coller au préalable et/ou un apport d'énergie thermique et/ou un apport d'un liant supplémentaire.

25 Ainsi, par exemple, un traitement thermique mis en œuvre pendant le collage permet de solidifier les liaisons de collage.

Le collage peut aussi être renforcé par une couche de collage intercalée entre la couche 4 et le substrat récepteur 5, qui présente des capacités de liaisons moléculaires aussi bien avec la couche 4 qu'avec le matériau

constituant la face de collage du substrat récepteur 5 au moins aussi fortes que celles existant entre la couche 4 et le substrat récepteur 5.

Ainsi, l'oxyde de silicium (encore appelé silice ou SiO_2) est un matériau que l'on peut choisir pour réaliser une telle couche de collage. La silice peut 5 être formée sur la couche relaxée 4 et/ou sur le substrat récepteur 5, par dépôt de SiO_2 ou par oxydation thermique au niveau des surfaces de collage respectives.

De façon avantageuse le matériau constituant la face de collage du substrat récepteur 5 et/ou le matériau de la couche de collage éventuellement 10 formée, est électriquement isolant, pour réaliser au final une structure 20 SeOI, la couche de semiconducteur de la structure SeOI étant alors la couche relaxée 4 transférée.

Une fois le substrat récepteur 5 collé, on met en œuvre un enlèvement 15 d'une partie de la plaquette 10 pour transférer la couche de SiGe relaxé 4 sur le substrat récepteur 5 et réaliser la structure 20 recherchée.

On enlève sensiblement toute la partie de la plaquette 10 du côté de la couche d'adaptation 2 par rapport à la couche de SiGe relaxé 4.

En référence aux figures 1e et 1f, cet enlèvement de matière est réalisé en deux étapes :

20 Une première étape d'enlèvement de matière, représentée par la figure 1e, consiste à enlever sensiblement toute la partie de la plaquette 10 du côté de la couche d'adaptation 2 par rapport au film 3.

Pour réaliser cela, une première opération d'enlèvement de matière consiste à couper la plaquette donneuse au niveau d'une zone de la couche 25 d'adaptation 2 que l'on a précédemment fragilisée à ce niveau.

Deux techniques connues non limitatives peuvent ainsi mettre en œuvre une telle opération :

Une première technique, appelée Smart-cut[©], connue de l'homme du métier (et dont on pourra trouver des descriptions dans un certain nombre 30 d'ouvrages traitant de techniques de réduction de plaquettes) consiste à

implanter des espèces atomiques (tels que des ions hydrogène), puis à soumettre la zone implantée, qui forme alors une zone de fragilisation, à un traitement thermique et/ou mécanique, ou autre apport d'énergie, pour réaliser la coupe au niveau de la zone de fragilisation.

5 La coupe d'une zone de fragilisation ainsi formée dans la couche d'adaptation 2 permet de retirer une partie majeure de la plaquette 10, pour obtenir une structure comprenant le reste de la couche d'adaptation 2, le film de Si constraint 3, la couche de SiGe relaxé 4, l'éventuelle couche de collage et le substrat récepteur 5.

10 Une deuxième technique consiste à obtenir une interface fragile par création d'au moins une couche poreuse, comme décrit par exemple dans le document EP-A-0 849 788, puis à soumettre la couche fragile à un traitement mécanique, ou autre apport d'énergie, pour réaliser la coupe au niveau de la couche fragilisée.

15 La couche fragilisée en silicium poreux est formée au sein du substrat support 1, entre le substrat support 1 et la couche d'adaptation 2, dans la couche d'adaptation 2 (par exemple entre une couche tampon et une couche relaxée) ou sur la couche d'adaptation 2 (c'est à dire entre la couche d'adaptation 2 et le film de Si constraint 3).

20 Pour former une couche fragilisée au sein du substrat support 1, on a avantageusement formé la couche poreuse sur une tranche de Si monocristallin, puis on a réalisé une seconde croissance sur la couche poreuse d'une couche de Si non-poreux ayant sensiblement le même paramètre de maille que le Si de la tranche, le substrat support 1 est alors constitué de la 25 tranche, de la couche poreuse et de la couche de Si non-poreux.

La coupe d'une couche fragilisée permet de retirer au moins une partie de la plaquette 10, pour obtenir une structure comprenant le reste éventuel de la plaquette 10, le film de Si constraint 3, la couche de SiGe relaxé 4, éventuellement la couche de collage intercalée et le substrat récepteur 5.

Un traitement de la plaquette 10 pour retirer le silicium poreux qui reste après la coupe est avantageusement mis en œuvre, tel qu'une gravure ou un traitement thermique.

Dans le cas où la couche poreuse était située dans le substrat support 5 1, un rodage, un polissage mécano-chimique et/ou une gravure chimique sélective sont alors avantageusement mis en œuvre pour retirer la partie restante du substrat support 1.

Ces deux techniques non limitatives permettent de retirer rapidement et en bloc une partie importante de la plaquette 10.

10 Elles permettent également de pouvoir réutiliser la partie retirée de la plaquette 10 dans un autre procédé, comme par exemple un procédé selon l'invention.

Ainsi, si la partie retirée est le substrat support 1, une reformation d'une couche d'adaptation 2, d'un film 3 et d'une couche relaxée 4 peut être mise en 15 œuvre comme décrit ci-dessus, après un polissage de la surface du substrat support 1.

Une deuxième opération d'enlèvement de matière succédant à la coupe de la plaquette 10 selon, par exemple, l'une des deux techniques précédentes, consiste à retirer, s'il y a lieu, la partie restante de la couche d'adaptation 2.

20 Cette opération peut être réalisée par gravure chimique sélective de sorte que le film de Si contraint 3 soit peu ou pas gravé, formant ainsi une couche d'arrêt à la gravure.

La partie restante de la couche d'adaptation 2 est dans ce cas gravée 25 par voie humide avec des solutions de gravure présentant des sélectivités sensibles par rapport au film de Si contraint 3, telle qu'une solution comprenant du HF:H₂O₂:CH₃COOH (sélectivité d'environ 1:1000) ou du HNA (solution fluorhydrique – nitrique – acétique).

Des gravures par voie sèche peuvent également être mises en œuvre pour enlever de la matière, telles que des gravures par plasma ou par 30 pulvérisation.

Cette voie chimique a le principal avantage d'être assez rapide pour des couches à retirer fines et d'éviter de mettre en œuvre des polissages mécano-chimiques de finition habituellement utilisés après une coupe de plaquette.

Cependant, l'opération de gravure chimique peut être avantageusement 5 précédée, notamment dans le cas de couche à retirer plus épaisse, d'une attaque mécanique ou mécano-chimique par rodage et/ou polissage mécano-chimique CMP de la partie restante de la couche d'adaptation 2.

Ces techniques sont proposées à titre d'exemple dans le présent 10 document, mais ne constituent en rien une limitation, l'invention s'étendant à 10 tous types de techniques aptes à enlever de la matière d'une plaquette conformément au procédé selon l'invention.

Une deuxième étape d'enlèvement de matière, représentée par la figure 1f, consiste à enlever le film 3 par voie chimique.

On utilise préférentiellement pour ceci une gravure sélective utilisant 15 une solution de gravure présentant de fortes sélectivités par rapport à la couche de SiGe relaxé 4, telle qu'une solution comprenant au moins l'un des composés suivants : KOH (hydroxyde de potassium), NH₄OH (hydroxyde d'ammonium); TMAH (hydroxyde de tétraméthyl d'ammonium), EDP (diamine d'éthylène / pyrocatechol / pyrazine) ou HNO₃ ou des solutions actuellement à l'étude- 20 combinant des agents tels que HNO₃, HNO₂H₂O₂, HF, H₂SO₄, H₂SO₂, CH₃COOH, H₂O₂, et H₂O, comme expliqué dans le document WO 99/53539, page 9.

Cette deuxième étape permet de conserver une bonne qualité de surface et une bonne homogénéité d'épaisseur de la couche de SiGe relaxé 4.

25 On conserve ainsi une qualité de couche sensiblement identique à celle obtenue lors de sa croissance (représentée figure 1c).

Cette couche 4 transférée n'a en effet pas nécessairement subi de contraintes mécaniques extérieures, telles que celles engendrées par une 30 étape de finition CMP, évitant ainsi l'apparition de défauts associés à de telles contraintes.

Dans certains cas particuliers, un léger polissage est toutefois mis en œuvre, pour rattraper des petites rugosités superficielles.

On obtient ainsi une structure finale SiGe relaxé sur substrat, et en particulier une structure SiGe relaxé sur isolant (encore appelée structure 5 SGOI) si le matériau sous-jacent la couche de SiGe relaxé 4 est un isolant électrique.

Dans une application particulière de cette structure 20, une épitaxie quelconque peut être mise en œuvre sur la couche de SiGe relaxé, telle qu'une épitaxie d'une autre couche de SiGe, ou une épitaxie d'une couche de Si 10 contraint.

Dans ce dernier cas, on obtiendrait une structure finale de Si/SGOI, la couche de Si étant contrainte.

La structure finale achevée, on peut éventuellement mettre en œuvre une étape de finition, tels que des traitements de finition, comme par exemple 15 un traitement thermique pour solidifier d'avantage l'interface de collage avec le substrat récepteur 5.

La présente invention ne se limite pas à une couche d'adaptation de paramètre de maille 2 en SiGe, mais s'étend aussi à une constitution de la couche d'adaptation 2 en d'autres types de matériaux de type III-V ou autres 20 susceptibles de contraindre le matériau du film 3 sus-épitaxié.

Enfin, la présente invention ne concerne pas seulement un transfert d'une couche de SiGe relaxé 4, mais concerne en général un transfert d'une couche en tout type de semiconducteur pouvant être transférée selon un procédé de l'invention.

25 Dans les couches de semiconducteur, d'autres constituants peuvent y être ajoutés, tel que du carbone avec une concentration de carbone dans la couche considérée sensiblement inférieure ou égale à 50 % ou plus particulièrement avec une concentration inférieure ou égale à 5 %.

REVENDICATIONS

1. Procédé de réalisation d'une structure comprenant une couche mince en matériau semiconducteur obtenue à partir d'une plaquette (10), la plaquette 5 (10) comprenant une couche d'adaptation de paramètre de maille (2) comprenant une couche supérieure en matériau semiconducteur ayant un premier paramètre de maille, caractérisé en ce qu'il comprend les étapes suivantes :
 - (a) croissance sur la couche supérieure de la couche d'adaptation (2) d'un 10 film (3) en matériau semiconducteur ayant un second paramètre de maille nominal sensiblement différent du premier paramètre de maille, avec une épaisseur suffisamment faible pour garder le premier paramètre de maille de la couche supérieure de la couche d'adaptation sous-jacente et être ainsi contraint,
 - (b) croissance sur le film (3) d'une couche relaxée (4) en matériau 15 semiconducteur ayant un paramètre de maille nominal sensiblement identique au premier paramètre de maille,
 - (c) enlèvement d'au moins une partie de la plaquette (10) du côté de la couche d'adaptation (2) par rapport à la couche relaxée (4) comprenant 20 les opérations suivantes :
 - formation d'une zone de fragilisation dans la plaquette (10) du côté de la couche d'adaptation (2) par rapport à la couche relaxée (4),
 - apport d'énergie au niveau de la zone de fragilisation pour détacher de la plaquette (10) une structure comprenant la couche relaxée (4).

25

2. Procédé de réalisation d'une structure selon la revendication précédente, caractérisé en ce qu'après l'étape (b), est mise en œuvre une étape supplémentaire de collage d'un substrat récepteur (5) avec la plaquette (10) du côté de la couche relaxée (4).

REVENDICATIONS

1. Procédé de réalisation d'une structure comprenant une couche mince en matériau semiconducteur obtenue à partir d'une plaquette (10), la plaquette 5 (10) comprenant une couche d'adaptation de paramètre de maille (2) comprenant une couche supérieure en matériau semiconducteur ayant un premier paramètre de maille, caractérisé en ce qu'il comprend les étapes suivantes :
 - (a) croissance sur la couche supérieure de la couche d'adaptation (2) d'un 10 film (3) en matériau semiconducteur ayant un second paramètre de maille nominal sensiblement différent du premier paramètre de maille, avec une épaisseur suffisamment faible pour garder le premier paramètre de maille de la couche supérieure de la couche d'adaptation sous-jacente et être ainsi contraint,
 - (b) croissance sur le film (3) d'une couche relaxée (4) en matériau 15 semiconducteur ayant un paramètre de maille nominal sensiblement identique au premier paramètre de maille,
 - (c) enlèvement d'une partie de la plaquette (10) comprenant les opérations suivantes :
 - formation d'une zone de fragilisation dans la couche d'adaptation 20 (2),
 - apport d'énergie pour détacher, au voisinage de la zone de fragilisation, la partie de la plaquette (10) comprenant la couche relaxée (4), formant ainsi la structure à réaliser.
- 25 2. Procédé de réalisation d'une structure selon la revendication précédente, caractérisé en ce qu'après l'étape (b), est mise en œuvre une étape supplémentaire de collage d'un substrat récepteur (5) avec la plaquette (10) du côté de la couche relaxée (4).

3. Procédé de réalisation d'une structure selon la revendication précédente, caractérisé en ce que le substrat récepteur (5) est en silicium.

5 4. Procédé de réalisation d'une structure selon l'une des deux revendications précédentes, caractérisé en ce qu'il est mis en œuvre en outre, avant collage, une étape de formation d'au moins une couche de collage entre le substrat récepteur (5) et la plaquette (10), la couche de collage étant formée sur le substrat récepteur (5) et/ou sur la face de collage de la plaquette (10).

10

5. Procédé de réalisation d'une structure selon la revendication précédente, caractérisé en ce que la couche de collage est un matériau isolant électrique.

15 6. Procédé de réalisation d'une structure selon la revendication précédente, caractérisé en ce que la couche de collage est en silice.

7. Procédé de réalisation d'une structure selon l'une des revendications précédentes, caractérisé en ce que l'étape (c) concerne un enlèvement de sensiblement tout le matériau de la plaquette (10) du côté de la couche 20 d'adaptation (2) par rapport à la couche relaxée (4).

25 8. Procédé de réalisation d'une structure selon l'une des revendications précédentes, caractérisé en ce que la zone de fragilisation est formée par implantation d'espèces dans la couche d'adaptation (2), à une profondeur sensible égale à la profondeur d'implant.

9. Procédé de réalisation d'une structure selon l'une des revendications 1 à 7, caractérisé en ce que la zone de fragilisation est formée, avant l'étape (b), par porosification d'une couche au-dessous de la couche relaxée (4).

30

10. Procédé de réalisation d'une structure selon l'une des revendications précédentes, caractérisé en ce que l'étape (c) comprend, après l'opération d'apport d'énergie de l'étape (c), au moins une gravure sélective.

5 11. Procédé de réalisation d'une structure selon la revendication précédente, caractérisé en ce qu'une gravure sélective concerne la gravure du film (3) vis à vis de la couche relaxée (4).

10 12. Procédé de réalisation d'une structure selon l'une des deux revendications précédentes, caractérisé en ce qu'une gravure sélective concerne la gravure de la partie restante de la couche d'adaptation (2) (après détachement de la plaquette (10) par apport d'énergie) vis à vis du film (3).

15 13. Procédé de réalisation d'une structure selon l'une des revendications précédentes, caractérisé en ce qu'il comprend en outre, après l'étape (c), une étape de croissance d'une couche sur la couche relaxée (4).

20 14. Procédé de réalisation d'une structure selon la revendication précédente, caractérisé en ce que la couche de croissance sur la couche relaxée (4) est en matériau contraint.

15. Procédé de réalisation d'une structure selon l'une des revendications précédentes, caractérisé en ce que

- la couche d'adaptation (2) est en silicium – germanium, la couche d'adaptation (2) comprenant une couche tampon avec une concentration de germanium croissant en épaisseur et une couche relaxée sous le film (3) ;
- le film de matériau contraint (3) est en silicium ;
- la couche relaxée (4) est en silicium – germanium sensiblement relaxé, avec une concentration de germanium sensiblement égale à la

concentration de germanium de la couche relaxée de la couche d'adaptation (2).

16. Procédé de réalisation d'une structure selon les deux revendications 5 précédentes, caractérisé en ce que la couche de croissance réalisée sur la couche relaxée (4) est en silicium constraint de conserver sensiblement le paramètre de maille de la couche relaxée (4) sous-jacente.

17. Procédé de réalisation d'une structure selon l'une des revendications 10 précédentes, caractérisé en ce que la plaquette (10) comprend au moins une couche comprenant en outre du carbone avec une concentration de carbone dans la couche sensiblement inférieure ou égale à 50 %.

18. Procédé de réalisation d'une structure selon l'une des revendications 15 précédentes, caractérisé en ce que la plaquette (10) comprend au moins une couche comprenant en outre du carbone avec une concentration de carbone dans la couche sensiblement inférieure ou égale à 5 %.

19. Structure (20) semiconducteur sur substrat réalisée conformément au 20 procédé selon la revendication 2 éventuellement combinée avec l'une des revendications 3 à 18, caractérisée en ce que l'épaisseur de semiconducteur de la structure (20) est constituée de la couche relaxée (4), le substrat étant le substrat récepteur (5).

25 20. Structure (20) semiconducteur sur substrat réalisée conformément au procédé selon les revendications 2 et 14 éventuellement combinées avec l'une des revendications 3 à 18, caractérisée en ce que l'épaisseur de semiconducteur de la structure (20) comprend successivement la couche relaxée (4) et une couche de matériau constraint (3), le substrat étant le substrat 30 récepteur (5).

21. Structure (20) selon la revendication précédente, caractérisée en ce qu'il existe une couche de matériau électriquement isolant sous l'épaisseur du semiconducteur de la structure (20), de sorte que la structure (20) est une 5 structure semiconducteur sur isolant.

22. Structure intermédiaire obtenue au cours de la mise en œuvre du procédé selon l'une des revendications 1 à 18 caractérisée en ce qu'elle comprend successivement un substrat (1), une couche d'adaptation de 10 paramètre de maille (2) comprenant une couche supérieure ayant un premier paramètre de maille, un film en matériau contraint (3) ayant un paramètre de maille nominal sensiblement différent du premier paramètre de maille, une couche en matériau sensiblement relaxé (4) ayant un paramètre de maille nominal sensiblement identique au premier paramètre de maille.

15

23. Structure intermédiaire obtenue au cours de la mise en œuvre du procédé selon l'une des revendications 2 à 18 caractérisée en ce qu'elle comprend successivement un substrat (5), une couche en matériau relaxé (4) ayant un paramètre de maille nominal sensiblement identique au premier 20 paramètre de maille, et un film de matériau contraint (3) ayant un paramètre de maille nominal sensiblement différent du premier paramètre de maille.

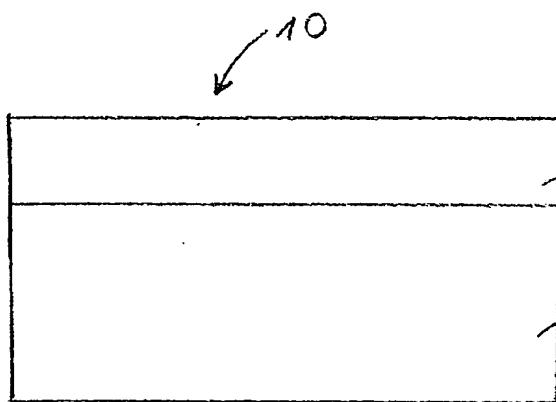


Figure 1a

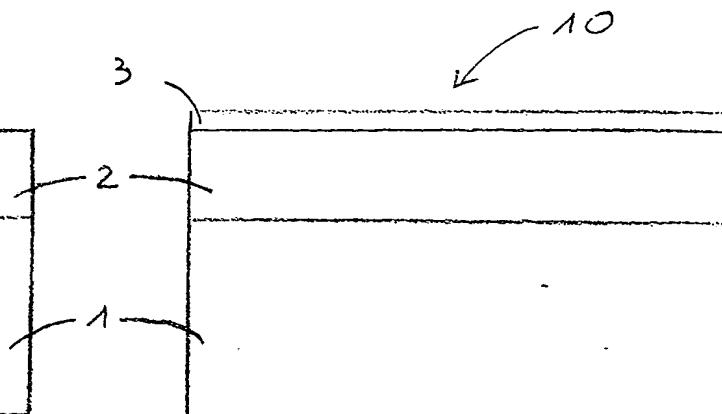


Figure 1b

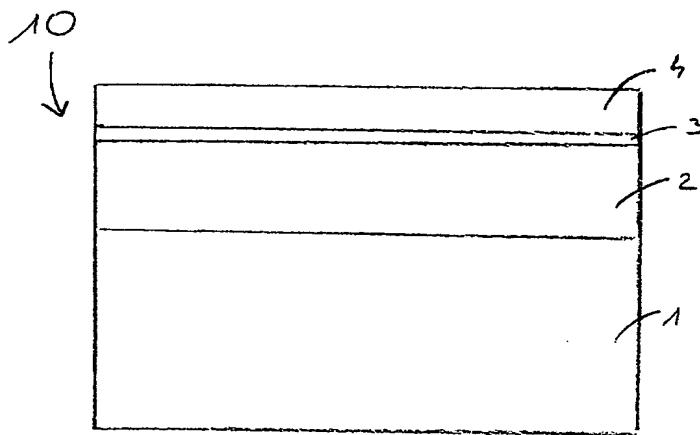


Figure 1c

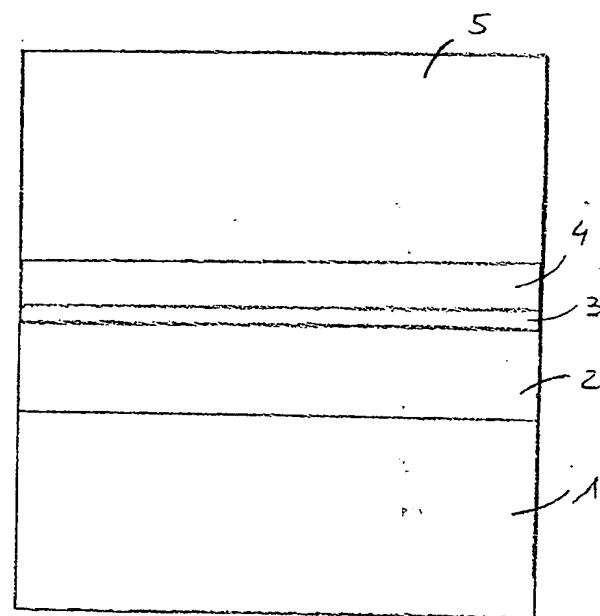


Figure 1d

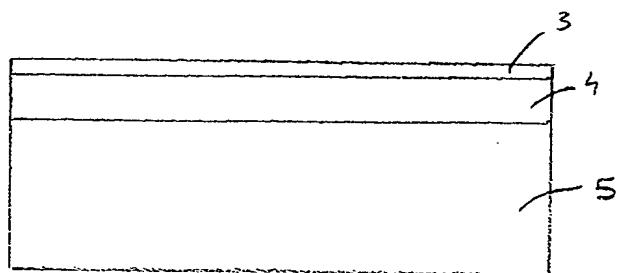


Figure 1e

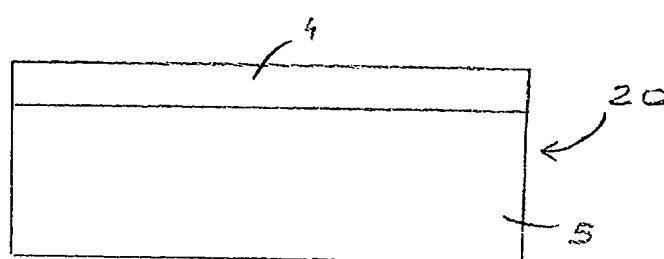


Figure 1f

1 / 1

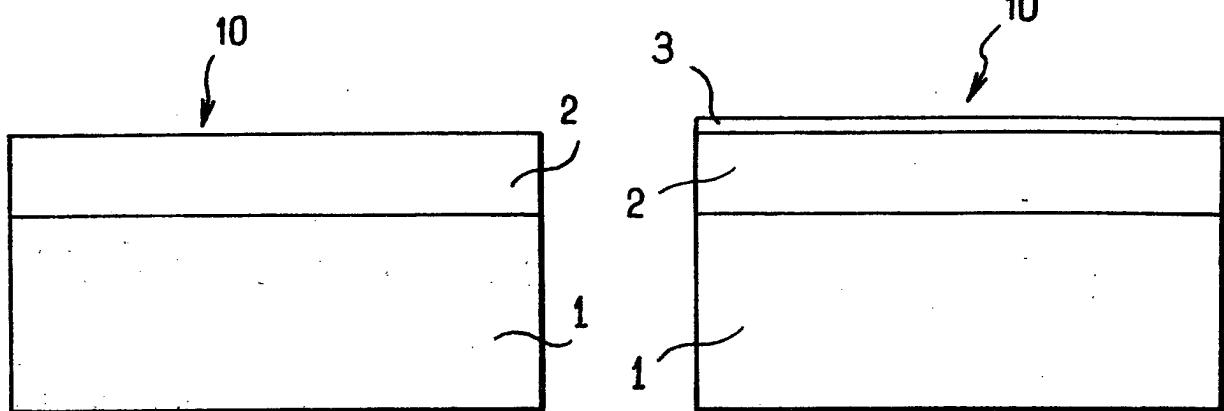


FIG. 1a

FIG. 1b

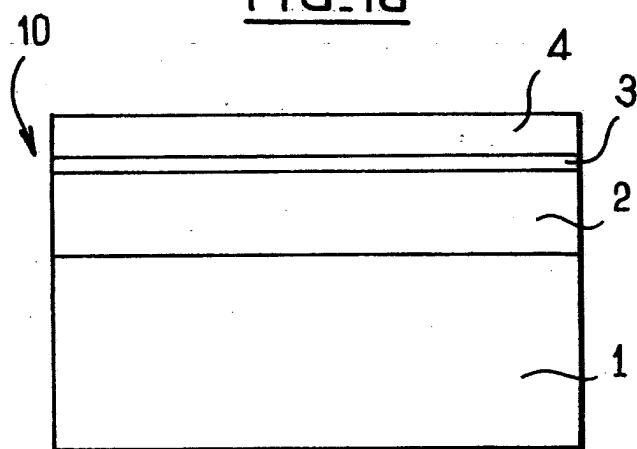


FIG. 1c

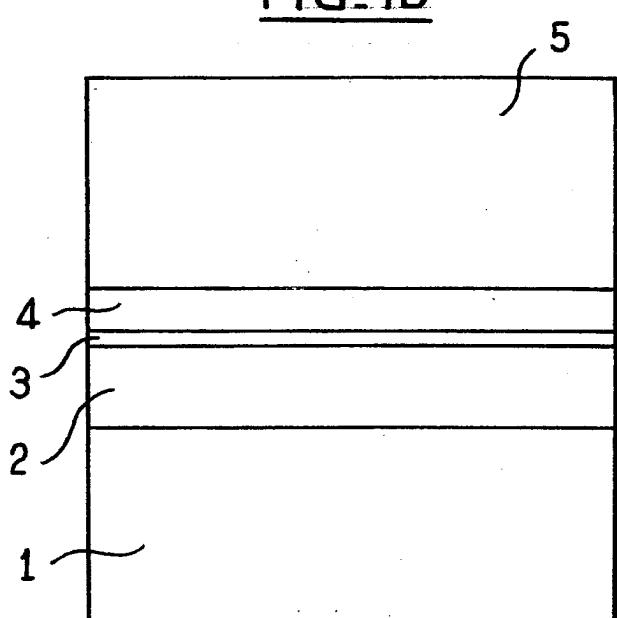


FIG. 1d

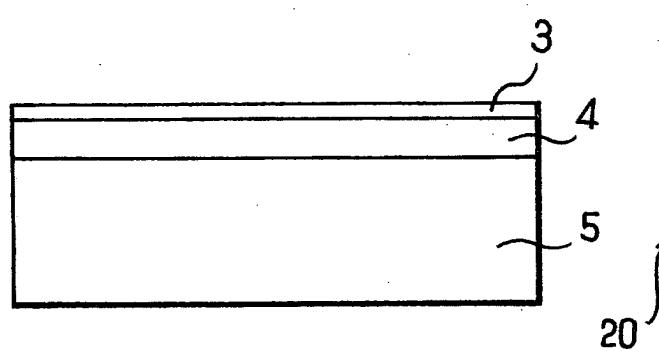


FIG. 1e

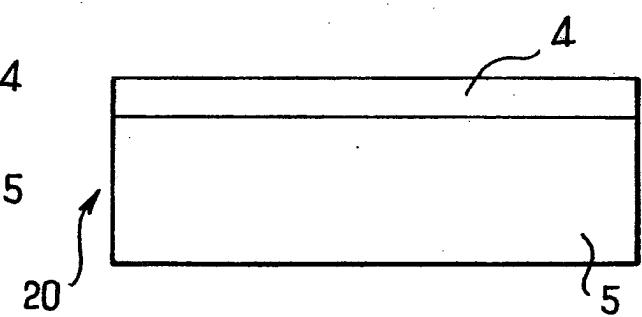


FIG. 1f

DÉSIGNATION D'INVENTEUR(S) Page N°1...)

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

DB 113 W / 270601

DÉPARTEMENT DES BREVETS
 26 bis, rue de Saint Pétersbourg
 75800 Paris Cedex 08
 Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

Vos références pour ce dossier (facultatif)	239693 OC
N° D'ENREGISTREMENT NATIONAL	0208600

TITRE DE L'INVENTION (200 caractères ou espaces maximum)

TRANSFERT D'UNE COUCHE MINCE A PARTIR D'UNE PLAQUETTE COMPRENANT UNE COUCHE TAMPON

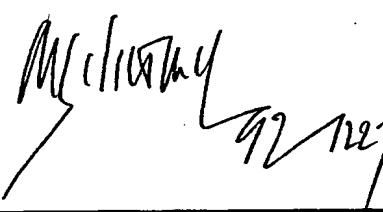
LE(S) DEMANDEUR(S) :

S.O.I.TEC SILICON ON INSULATOR TECHNOLOGIES : Parc Technologique des Fontaines - Chemin des Franques, 38190 BERNIN - FRANCE

DESIGNE(NT) EN TANT QU'INVENTEUR(S) :

1 Nom	GHYSELEN Bruno		
Prénoms			
Adresse	Rue	58, rue Georges Maeder	
	Code postal et ville	38170 SEYSSINET-PARISET	FR
Société d'appartenance (facultatif)			
2 Nom	AULNETTE Cécile		
Prénoms			
Adresse	Rue	3, Place des Tilleuls	
	Code postal et ville	38000 GRENOBLE	FR
Société d'appartenance (facultatif)			
3 Nom	OSTERNAUD Bénédicte		
Prénoms			
Adresse	Rue	26, rue Lieutenant Fiancey	
	Code postal et ville	38120 SAINT EGREVE	FR
Société d'appartenance (facultatif)			

S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.

DATE ET SIGNATURE(S)**DU (DES) DEMANDEUR(S)****OU DU MANDATAIRE****(Nom et qualité du signataire)**


THIS PAGE BLANK (USPTO)